

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005年6月30日 (30.06.2005)

PCT

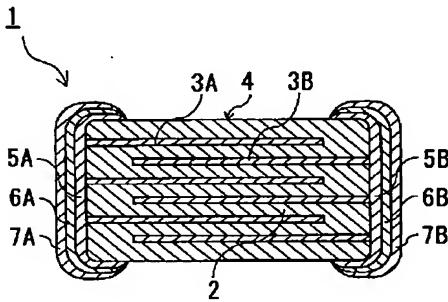
(10) 国際公開番号
WO 2005/058774 A1

(51) 国際特許分類7: C04B 35/20 (72) 発明者: および
(21) 国際出願番号: PCT/JP2004/018468 (75) 発明者/出願人(米国についてのみ): 田村 浩
(22) 国際出願日: 2004年12月10日 (10.12.2004) (TAMURA, Hiroshi) [JP/JP]; 〒6178555 京都府長岡京
(25) 国際出願の言語: 日本語 市東神足1丁目10番1号 株式会社 村田製作所内
(26) 国際公開の言語: 日本語 (74) 代理人: 小原 壁 (OHARA, Hajime); 〒2220033 神奈川
(30) 優先権データ: 特願 2003-420245 (31) 指定国(表示のない限り、全ての種類の国内保護が
2003年12月18日 (18.12.2003) JP 可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,
(71) 出願人(米国を除く全ての指定国について): 株式会社 村田製作所 (MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 Kyoto (JP). DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA,

[続葉有]

(54) Title: DIELECTRIC CERAMIC COMPOSITION AND MULTILAYER ELECTRONIC COMPONENT

(54) 発明の名称: 誘電体セラミック組成物及び積層型電子部品



(57) Abstract: [PROBLEMS] Conventional dielectric porcelain compositions for high-frequency applications involve such a problem that a structural defect may occur due to the difference in thermal shrinkage between the adhesive layer and the ceramic layer since the firing temperature is too high and the manufacturing process of a multilayer capacitor is complicated. Consequently, it has been difficult to realize a small-sized and many-layered multilayer ceramic capacitor. [MEANS FOR SOLVING PROBLEMS] Disclosed is a dielectric ceramic composition represented by the following general formula: $Mg_xSiO_{2+x} + aSr_yTiO_{2+y}$, wherein x , y and a respectively satisfy $1.70 \leq x \leq 1.99$, $0.98 \leq y \leq 1.02$ and $0.05 \leq a \leq 0.40$.

(57) 要約:

【課題】従来の高周波用誘電体磁器組成物は、焼成温度が高すぎたり、積層コンデンサの製造工程が複雑で、接着層とセラミック層との熱収縮率の差により構造欠陥を生じる虞がある、積層セラミックとしての小型化、多層化を実現することが難しい。

【解決手段】本発明は、一般式が $Mg_xSiO_{2+x} + aSr_yTiO_{2+y}$ で表される誘電体セラミック組成物であって、 x 、 y 及び a は、それぞれ $1.70 \leq x \leq 1.99$ 、 $0.98 \leq y \leq 1.02$ 及び $0.05 \leq a \leq 0.40$ の関係を満足する。

WO 2005/058774 A1



NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ヨーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),

添付公開書類:

— 國際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明細書

誘電体セラミック組成物及び積層型電子部品

技術分野

[0001] 本発明は、誘電体セラミック組成物及び積層型電子部品に関し、更に詳しくは、温度補償用として好適に用いることができる誘電体セラミック組成物及び積層型電子部品に関するものである。

背景技術

[0002] 従来のこの種の誘電体セラミック組成物としては、例えば本出願人が提案した特許文献1に記載の高周波用誘電体磁器組成物が知られている。この誘電体磁器組成物は、一般式 $x\text{MgO}-y\text{SiO}_2$ （但し、式中のx、yは、各成分の重量百分率を表し、 $40 \leq x \leq 85$ 、 $15 \leq y \leq 60$ 、 $x+y=100$ である）で表される組成を有する磁器組成物に、焼結することによりバリウム酸化物となる物質（Ba源）及び焼結することによりストロンチウム酸化物となる物質（Sr源）の一方または両方を、それぞれ BaCO_3 または SrCO_3 に換算して、その合計が0.3～3.0重量%になるような割合で添加してなるものである。

[0003] また、特許文献2には2種類以上の誘電特性の異なるセラミック誘電体層を多層に構成した積層セラミックコンデンサが提案されている。この積層セラミックコンデンサは、誘電体層と導体層を互いに積層してなるセラミックコンデンサの個々の誘電体層の少なくとも一方の面に導体層を設け、その導体層上を含めた全面に、ガラス材料ペースト層を形成し、このガラス材料ペースト層及び導体層によりなるものを接着剤層とし、この接着剤層は、導体層で一定のパターンを構成するもので、その時、ガラス材料ペースト層と導体層の一方または、両方がそれを挟んでいるセラミック薄板を接着して形成されており、更に、この導体層は導体ペースト或いは導電性接着剤よりなり、この誘電体層は、個別に形成された、誘電特性の異なる2種類以上の誘電体セラミック薄板を各々少なくとも1枚ずつ用い、積層されたものよりなるものである。

[0004] また、特許文献3には、フォルステライト、チタン酸亜鉛、チタン酸カルシウムからなる高周波用誘電体磁器組成物が提案されている。この誘電体磁器組成物は、一般

式 $x\text{Mg}_2\text{SiO}_4 - y\text{Zn}_2\text{TiO}_4 - z\text{CaTiO}_3$ (但し、式中のx、y、zは、それぞれmol%を表し、 $21 < x < 88$ 、 $4 < y < 71$ 、 $4 \leq z \leq 14$ 、 $x + y + z = 100$ である) で表される組成を有するものである。

[0005] 特許文献1:特許第3446249号公報

特許文献2:特公平6-48666号公報

特許文献3:特開2004-131320号公報

発明の開示

発明が解決しようとする課題

[0006] しかしながら、特許文献1の高周波用誘電体磁器組成物は、従来のフォルステライト(Mg_2SiO_4)よりは低温で焼結することができ、高いQ値と高い比誘電率を有するため、例えばマイクロ波集積回路等のマイクロ波帯で用いられる回路素子用基板あるいは誘電体共振器用支持台用の材料としては好適に用いることができるが、焼成温度が1350～1400°Cと高温であり、積層コンデンサ用材料として使用するには依然として焼成温度が高いという課題があった。

[0007] また、特許文献2の積層セラミックコンデンサは、誘電特性の異なる2種類以上の誘電体セラミック薄板、例えば正、負それぞれの温度係数を有する誘電体セラミック薄板を互いに接着剤層を介して貼り合わせて構成されているため、誘電性の異なる誘電体セラミック薄板をそれぞれ個別に製造し、これらの誘電体セラミック薄板をガラス材料ペースト及び導体ペーストからなる接着剤によって接合して積層体を得た後、この積層体を焼成処理するため、積層セラミックコンデンサの製造工程が複雑で製造に手間がかかり、しかも、ガラス材料ペースト及び導電ペーストからなる接着層とセラミック層との熱収縮率の差により構造欠陥を生じる虞があつて積層セラミックコンデンサとしての小型化、多層化を実現することが難しいという課題があつた。

[0008] また、特許文献3に記載の高周波用誘電磁器組成物は、比誘電率を8～20の範囲で調整することができ、共振周波数 f_0 とQ値の積である $Q \times f_0$ も大きく、更に共振周波数 f_0 の温度係数 τ_f の絶対値が30ppm/°C以下で調整が容易な高周波用誘電体磁器組成物であるが、焼成温度が1300°C～1500°Cと非常に高温であり、また、負の温度特性を持つ材料として用いている CaTiO_3 は負の傾きが-1500ppm/°Cと小さ

いため、温度特性0ppm/°Cを達成するためにはCaTiO₃の添加量を多くする必要があり、その結果、比誘電率が0ppm/°Cで16と高くなってしまうという課題があった。

[0009] 本発明は、上記課題を解決するためになされたもので、従来のフォルステライトよりも低温で焼成することができると共に所定の誘電率温度特性に調整することができ、しかも小型低容量の積層型電子部品を設計する際にも、構造欠陥を生じさせることなく多層化でき、等価直列抵抗の低減、及び静電容量のバラツキの抑制が可能となり、更に温度補償用コンデンサとして要求される、JIS規格のCG—CK、LG—LK、PG—PK、RG—RK、SH—SK、TH—TK、UH—UK及びSL特性(以下、「CG特性からSL特性」と略記する。)を満足することができる誘電体セラミック組成物及び積層型電子部品を提供することを目的としている。

課題を解決するための手段

[0010] 本発明の請求項1に記載の誘電体セラミック組成物は、一般式がMg_xSiO_{2+x}+aSr_yTiO_{2+y}で表される誘電体セラミック組成物であって、上記一般式におけるx、y及びaは、それぞれ1.70≤x≤1.99、0.98≤y≤1.02及び0.05≤a≤0.40の関係を満足することを特徴とするものである。

[0011] また、本発明の請求項2に記載の積層型電子部品は、積層された複数の誘電体セラミック層と、これらの誘電体セラミック層間に配置された内部電極と、これらの内部電極に電気的に接続された外部電極とを備え、上記誘電体セラミック層は、請求項1に記載の誘電体セラミック組成物によって形成されてなることを特徴とするものである。

[0012] 即ち、本発明の誘電体セラミック組成物は、一般式がMg_xSiO_{2+x}+aSr_yTiO_{2+y}で表される誘電体セラミック組成物である。この誘電体セラミック組成物は、基本的には、正の温度特性を有し且つ比誘電率が低く、高周波特性に優れたフォルステライト(Mg₂SiO₄)に、負の温度特性を有するチタン酸ストロンチウム(SrTiO₃)を所定量添加して構成されることにより、フォルステライトとチタン酸ストロンチウムの混晶を生じさせて、比誘電率が低く、その温度特性を容易に調整することができ、所望の温度係数値に得ることができる。その結果、温度補償用途で要求されるJIS規格のCG特性からSL特性までの広い範囲の温度特性を有する誘電体セラミック組成物を得ること

ができる。従って、本発明の誘電体セラミック組成物は、温度補償用の低容量セラミックコンデンサ等の積層型電子部品を製造する際に好適に用いることができる。

[0013] 本発明の誘電体セラミック組成物は、 $Mg_x SiO_{2+x}$ に対する $Sr_y TiO_{2+y}$ のモル比 a ($=Sr_y TiO_{2+y} / Mg_x SiO_{2+x}$)が $0.05 \leq a \leq 0.40$ の関係を満足するものである。チタン酸ストロンチウムの添加量 a の増加に伴い、静電容量の温度係数TCCがマイナス側に連続的に変化するため、 a の値を調整することで温度係数を所望の値にすることができる。即ち、 a が本発明の範囲を満足することによって、温度特性がJIS規格のCG特性からSL特性までの広い範囲の温度特性を有する誘電体セラミック組成物を得ることができる。 a が 0.05 未満ではフォルステライトの温度特性が支配的となり、温度特性が改善されない虞がある。また、 a が 0.4 を超えると、温度に対する静電容量の変化率が必要以上に負に大きくなり、また、比誘電率 ϵ_r が大きくなる虞がある。但し、温度特性がSL特性以上に負である必要がある用途の場合には、 a を 0.40 以上に調整することでこれを実現することができる。

[0014] また、本発明の誘電体セラミック組成物は、上記一般式における x が $1.70 \leq x \leq 1.99$ の関係を満足するものである。従来のフォルステライトは前述したように $1350\text{--}1400^\circ\text{C}$ と高温であるが、本発明の誘電体セラミック組成物は、MgとSiとの比(Mg/Si=x)が上記範囲にあるように調整され、更にチタン酸ストロンチウムが添加されたため、焼結性が大幅に改善されており、低融点ガラス等の焼結助剤を添加することなく、 $1100\text{--}1300^\circ\text{C}$ 程度と、従来のフォルステライト系の誘電体セラミック組成物より低い温度で十分焼結させることができる。 x が 1.70 未満では $Mg_2 SiO_4$ 相と $SrTiO_3$ 相が生成せず、例えば温度補償用積層型電子部品として要求される温度特性を改善することができない虞がある。また、 x が 1.99 を超えると誘電体セラミック組成物の焼結温度を下げることができず、例えば積層電子部品のようなAg-Pd合金やPd等で内部電極を形成とする場合等に内部電極に悪影響を及ぼさない 1300°C 程度までの低い温度範囲では焼結しない虞がある。

[0015] 更に、本発明の誘電体セラミック組成物は、上記一般式における y が $0.98 \leq y \leq 1.02$ の関係を満足するものである。チタン酸ストロンチウムのSrとTiとの比(Sr/Ti=y)を調整することによって温度特性を安定化し、目標とする温度特性値に調整すること

とができる。本発明ではyが上記範囲を満足することによって、温度特性がJIS規格のCG特性(静電容量温度係数TCC=0±30ppm/°C以内)からSL特性(静電容量温度係数TCC=+350~-1000ppm/°C以内)までの広い範囲で温度特性を安定化することができる。yが0.98未満であったり、1.02を超えると、Mg₂SiO₄相とSrTiO₃相が安定して生成せず、温度特性が改善されない虞がある。

[0016] 而して、本発明の積層型電子部品は、その誘電体セラミック層が本発明の誘電体セラミック組成物を用いて形成されるものである。本発明の誘電体セラミック組成物を用いて積層型電子部品の誘電体セラミック層を形成することにより、焼結助剤を添加することなく、例えば従来のフォルステライトの焼成温度よりも低温の、1100~1300°C程度の低い温度で焼成することができ、積層型電子部品として比誘電率が低く、温度特性が平坦化した積層型電子部品を得ることができる。また、本発明の積層型電子部品として本発明の誘電体セラミック組成物を用いる場合には、本発明の誘電体セラミック組成物の比誘電率が小さいために誘電体セラミック層としての積層枚数を多くすることができ、また、積層枚数を多くすることができるため、等価直列抵抗が低く、静電容量のバラツキが小さい積層型電子部品を得ることができる。

[0017] また、本発明の積層型電子部品を構成する内部電極は、本発明の誘電体セラミック組成物の焼成温度で形成できる導電性材料によって形成されている。内部電極は、このような導電性材料であれば特に制限されないが、従来公知の導電性材料、例えばパラジウム(Pd)、パラジウム-銀(Pd-Ag)合金が好ましく用いられる。上述のように焼成温度が1300°Cまでの低温で焼成することができるため、内部電極としてAg/PdやPdを用いる場合でも、内部電極切れや構造欠陥のない積層型電子部品を得ることができる。また、本発明の積層型電子部品を構成する外部電極は、従来公知の導電性材料によって形成されている。外部電極の導電性材料は、内部電極のような焼成上の制約はないが、内部電極に準じた導電性材料が好ましく用いられる。

発明の効果

[0018] 本発明の請求項1及び請求項2に記載の発明によれば、従来のフォルステライトよりも低温で焼成することができると共に所定の誘電率温度特性に調整することができ、しかも小型低容量の積層型電子部品を設計する際にも、構造欠陥を生じさせること

なく多層化でき、等価直列抵抗の低減、及び静電容量のバラツキの抑制が可能となり、更に温度補償用コンデンサとして要求されるCG特性からSL特性を満足することができる誘電体セラミック組成物及び積層型電子部品を提供することができる。

発明を実施するための最良の形態

[0019] 以下、図1に示す実施形態に基づいて本発明を説明する。尚、図1は本発明の積層型電子部品の一本実施形態を模式的に示す断面図である。

[0020] 本実施形態の積層型電子部品(具体的には積層セラミックコンデンサ)1は、例えば図1に示すように、積層された複数層の誘電体セラミック層2と、これらの誘電体セラミック層2間にそれぞれ配置された複数の第1、第2内部電極3A、3Bとを有する積層体4を備えている。積層体4の両端面にはそれぞれ第1、第2外部電極5A、5Bが形成され、これらの外部電極5A、5Bはそれぞれ第1、第2内部電極3A、3Bに電気的に接続されている。

[0021] 第1内部電極3Aは、図1に示すように、誘電体セラミック層2の一端(同図の左端)から他端(右端)の近傍まで延び、第2内部電極3Bは誘電体セラミック層2の右端から左端の近傍まで延びている。第1、第2内部電極3A、3Bは例えばPdとAgの合金によって形成されている。

[0022] また、第1外部電極5Aは、図1に示すように、積層体4内の第1内部電極3Aに電気的に接続され、第2外部電極5Bは積層体4内の第2内部電極3Bに電気的に接続されている。第1、第2外部電極5A、5Bは、例えばAgとPdの合金によって形成されている。更に、第1、第2外部電極5A、5Bの表面には従来公知の第1めっき層6A、6B及び第2めっき層7A、7Bが順次施されている。

実施例

[0023] 次に、本発明を具体的な実施例に基づいて説明する。本実施例では、下記の手順で表1に示す複数の誘電体セラミック組成物を調製した後、これらの誘電体セラミック組成物を用いてそれぞれの積層セラミックコンデンサを作製した。次いで、これらの積層セラミックコンデンサの評価をそれぞれ行い、その結果を表1に示した。尚、表1において、*印を付した試料は本発明の範囲外のものである。

[0024] (1)誘電体セラミック組成物の調製

まず、出発原料として高純度のMgO、 SiO_2 、 SrCO_3 及び TiO_2 を準備し、これらの原料を表1の試料No.1～No.18に示す組成となるように秤量した後、それぞれの試料を、ボールミルを用いて湿式混合、粉碎を行ってスラリーを得た。次いで、得られた各試料のスラリーを蒸発乾燥した後、空気中において1000℃で2時間仮焼を行った後、それぞれの仮焼粉末を乾式粉碎して誘電体セラミック組成物を得た。

- [0025] また、誘電体セラミック組成物は、上述の方法以外に以下のようにしても調製することができる。即ち、予めMgOと SiO_2 とを混合、粉碎した後、この粉末を仮焼することによってフォルステライトを合成する。次いで、 SrCO_3 と TiO_2 とを混合、粉碎した後、この粉末を仮焼することによって SrTiO_3 を合成する。そして、合成フォルステライトと、合成 SrTiO_3 とを、Mg/Siのモル比を調整するための MgCO_3 とを混合して表1に示す組成の誘電体セラミック組成物を調製することができる。
- [0026] 試料No.1～No.9は、Mg/Si(=x)及びSr/Ti(=y)をそれぞれ本発明の範囲内であるx=1.90及びy=1.00に設定し、 $\text{Mg}_x\text{SiO}_{2+x}$ に対する $\text{Sr}_y\text{TiO}_{2+y}$ のモル比a($=\text{Sr}_y\text{TiO}_{2+y}/\text{Mg}_x\text{SiO}_{2+x}$)を、本発明の範囲から本発明の範囲外(a=0.04～0.42)まで振ってチタン酸ストロンチウムの添加量aの影響を観るために調製した誘電体セラミック組成物である。
- [0027] 試料No.10～No.14は、チタン酸ストロンチウムの添加量a及びyをそれぞれ本発明の範囲内であるa=0.10及びy=1.00に設定し、Mg/Si(=x)を本発明の範囲から本発明の範囲外(x=1.60～2.00)まで振ってxの影響を観るために調製した誘電体セラミック組成物である。
- [0028] 試料No.15～No.18は、a及びxをそれぞれ本発明の範囲内であるa=0.10及びx=1.90に設定し、yを本発明の範囲から本発明の範囲外(y=0.97～1.03)まで振ってyの影響を観るために調製した誘電体セラミック組成物である。
- [0029] 上述のようにして調製された誘電体セラミック組成物は、 CaO 、 BaO 、 ZrO_2 、 Al_2O_3 、 Fe_2O_3 、 B_2O_3 等を含んだものであっても電気的特性に大きな影響を与えない。
- [0030] (2)積層セラミックコンデンサの作製
 - (1)得られた誘電体セラミック組成物を秤量し、所定の添加物、ポリビニルブチラール系バインダ及びエタノール等の有機溶剤を加えて、ボールミルによって湿式混

合してセラミックスラリーを調製した。

[0031] 然る後、ドクターブレード法によって上記セラミックスラリーからセラミックグリーンシートを形成した後、セラミックグリーンシート上にPdを主成分とする導電性ペーストを印刷し、有効層が10層の積層セラミックコンデンサとなるようにセラミックグリーンシートを積層した後、圧着し、所定のチップ寸法に切断して生のセラミック積層体を得た。

[0032] 次いで、生のセラミック積層体を空気中、350℃で脱バインダ処理を行った後、空気中で50℃／分の昇温速度で1200℃まで加熱し、この温度で10分間焼成を行つて、No.1～6、9、10、13～18の試料を得た。また、他のNo.7、8、11、12の試料は、1100℃まで加熱し、この温度で2時間焼成して得た。昇温速度は一般的に積層セラミックコンデンサの焼成条件に見られるような5℃／分であつても良いが、昇温速度50℃／分のように高速で昇温することによって積層セラミックコンデンサとしての絶縁抵抗が向上させることができる。このようにして得られた積層セラミックコンデンサのチップ寸法は、2.0mm×1.2mm×1.2mm、素子厚5μmであった。焼成後には第1、第2外部電極を形成した後、これらの表面にめつき処理を2段階で施して第1、第2めつき層を形成して試料No.1～試料No.18の評価用サンプルを得た。

[0033] (3) 積層セラミックコンデンサの特性評価

LCRメータ(HP社製4284A)を用いて、試料No.1～試料No.18について25℃、1MHz、1Vにおける静電容量及びQ値を測定し、これらの測定値と電極面積、素子厚に基づいて比誘電率 ϵ_r を算出し、その結果を表1に示した。また、静電容量温度特性測定装置を用いて、各試料について静電容量を測定し、それぞれの静電容量の温度係数TCCを次式から算出し、その結果を表1に示した。

$$\text{TCC[ppm/}^{\circ}\text{C}]=\{(C_{85}-C_{20})/C_{20}\} \times \{1/(85-20)\} \times 10^6$$

C_{20} :20℃における静電容量
 C_{85} :85℃における静電容量

[0034] [表1]

試料番号	組成 $Mg_xSiO_{2+x} + aSrTiO_{2y}$			特性				
	SrTiO ₃ a	Mg/Si x	Sr/Ti y	ϵ_r	Q 1MHz	TCC ppm/°C	温度特性 規格	
*	No. 1	0.04	1.90	1.00	7	2970	100	-
	No. 2	0.05	1.90	1.00	8	2780	25	CG
	No. 3	0.10	1.90	1.00	10	2450	-20	CG
	No. 4	0.15	1.90	1.00	12	2220	-55	CH
	No. 5	0.20	1.90	1.00	14	2010	-315	SH
	No. 6	0.25	1.90	1.00	16	1920	-485	TH
	No. 7	0.35	1.90	1.00	18	1750	-785	UU
	No. 8	0.40	1.90	1.00	22	1650	-995	SL
*	No. 9	0.42	1.90	1.00	26	1510	-1120	-
*	No. 10	0.10	1.60	1.00	8	2350	115	-
	No. 11	0.10	1.70	1.00	9	2450	60	CH
	No. 12	0.10	1.97	1.00	10	2500	-25	CG
	No. 13	0.10	1.99	1.00	10.2	2530	-50	CH
*	No. 14	0.10	2.00	1.00	烷結せず	烷結せず	烷結せず	烷結せず
*	No. 15	0.10	1.90	0.97	8	2800	100	-
	No. 16	0.10	1.90	0.98	9	2600	25	CG
	No. 17	0.10	1.90	1.02	10	2500	-25	CG
*	No. 18	0.10	1.90	1.03	9	2300	100	-

[0035] 表1に示す結果によれば、 Mg_xSiO_{2+x} に対するSrTiO₃の添加量aの影響を観る試料No.1～No.9のうち、 $0.05 \leq a \leq 0.40$ で本発明の範囲にある試料No.2～No.8は、SrTiO₃の添加量aの増加に伴い、温度係数がマイナス側に連続的に変化するため、SrTiO₃の添加量aを調整することで静電容量温度係数TCCを所望の値に調整できることが判った。その結果、温度に対する静電容量の変化率TCCがCG特性～SL特性の広い範囲でJIS規格の温度特性を満たす誘電体セラミック組成物が得られることが判った。この時の比誘電率 ϵ_r は7～22と低い誘電率を実現できることが判った。

[0036] 特に、試料No. 2～4のように、SrTiO₃の添加量aが $0.05 \leq a \leq 0.15$ の範囲では、比誘電率 ϵ_r が12以下で、静電容量の温度係数TCCが $0 \pm 60 \text{ ppm/}^{\circ}\text{C}$ 以下となり、CG特性またはCH特性を満足し、平坦な温度特性を満足することが判った。

[0037] これに対し、SrTiO₃の添加量aが 0.05 未満の 0.04 を示す試料No.1は、温度に対する静電容量の変化率TCCが正に大きくなっているが、SrTiO₃の添加効果が認められず、温度特性が改善していないことが判った。また、SrTiO₃の添加量aが 0.40 を超える 0.42 を示す試料No.9は、温度に対する静電容量の変化率TCCが負に大きくなり、比誘電率 ϵ_r も26と大きくなることが判った。

[0038] また、表1に示す結果によれば、Mg/Si(=x)の影響を観るための試料No.10～No.14のうち、xが $1.70 \leq x \leq 1.99$ で本発明の範囲にある試料No.11～13は、比誘電率が22以下で、温度に対する静電容量の変化率TCCがCH特性またはCG特性の温度特性を満足することが判った。

[0039] これに対して、xが1.70未満の1.6を示す試料No.10は、 Mg_2SiO_4 相と $SrTiO_3$ 相との混晶を安定して生成せず、温度特性が改善されていないことが判った。また、xが1.99を超える2.0を示す試料No.14は、焼結温度が高くなり、内部電極に悪影響を及ぼさない温度範囲である1300℃において焼結しないことが判った。

[0040] また、表1に示す結果によれば、Sr/Ti(=y)の影響を観るための試料No.15～No.18のうち、yが $0.98 \leq y \leq 1.02$ で本発明の範囲にある試料No.16、17は、1200℃程度で焼結し、温度特性が安定し、目標の温度特性値に調整でき、比誘電率 ϵ_r が22以下で、温度に対する静電容量の変化率TCCがCG特性またはCH特性を満足することが判った。

[0041] これに対して、yが0.98未満の0.97を示す試料No.10は、温度に対する静電容量の変化率TCCがCG特性及びCH特性を満足せず温度特性が改善されていないことが判った。また、yが1.02を超える試料No.18は、試料No.10と同様に温度に対する静電容量の変化率TCCがCG特性及びCH特性を満足せず温度特性が改善されていないことが判った。

[0042] 以上説明したように本実施例によれば、一般式が $Mg_xSiO_{2+x} + aSr_yTiO_{2+y}$ で表される誘電体セラミック組成物で、一般式におけるx、y及びaは、それぞれ $1.70 \leq x \leq 1.99$ 、 $0.98 \leq y \leq 1.02$ 及び $0.05 \leq a \leq 0.40$ の関係を満足する誘電体セラミック組成物を積層セラミックコンデンサに用いることによって、1100℃～1200℃の低い温度範囲で焼成することができ、比誘電率が22以下と小さく、JIS規格でCG特性～SL特性の広い範囲の温度特性を満足する積層セラミックコンデンサを得られることが判った。

[0043] 尚、上記実施例では積層型電子部品として積層セラミックコンデンサを作製した場合について説明したが、本発明は積層セラミックコンデンサに限らずLCフィルタや多層基板等、他の積層型電子部品も同様にして作製することができる。また、積層セラ

ミックコンデンサとして2.0mm×1.2mmサイズのものについて説明したが、比誘電率が22以下と小さいため、更に小型化した、例えば1.0mm×0.5mmサイズ、0.6mm×0.3mmサイズ、0.4mm×0.2mmサイズの積層セラミックコンデンサを設計する際にも、構造欠陥を生じさせることなく多層化することができ、等価直列抵抗の低減及び静電容量のバラツキの抑制が可能となる。また、温度特性が-1000ppm/°Cより負である用途がある場合には、 Mg_2SiO_4 に対する $SrTiO_3$ の添加量aを、本発明の範囲である0.4より大きくすることによって、これを達成することができる。

産業上の利用可能性

[0044] 本発明は、温度補償用の低容量積層セラミックコンデンサ等の積層型電子部品に好適に利用することができる。

図面の簡単な説明

[0045] [図1]本発明の積層型電子部品の一実施形態を模式的に示す断面図である。

符号の説明

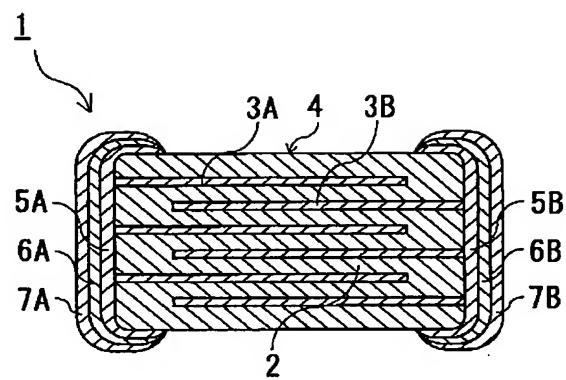
- [0046] 1 積層セラミックコンデンサ
- 2 誘電体セラミック層
- 3A、3B 第1、第2内部電極
- 5A、5B 第1、第2外部電極

請求の範囲

[1] 一般式が $Mg_xSiO_{2+x} + aSr_yTiO_{2+y}$ で表される誘電体セラミック組成物であつて、上記一般式におけるx、y及びaは、それぞれ $1.70 \leq x \leq 1.99$ 、 $0.98 \leq y \leq 1.02$ 及び $0.05 \leq a \leq 0.40$ の関係を満足することを特徴とする誘電体セラミック組成物。

[2] 積層された複数の誘電体セラミック層と、これらの誘電体セラミック層間に配置された内部電極と、これらの内部電極に電気的に接続された外部電極とを備え、上記誘電体セラミック層は、請求項1に記載の誘電体セラミック組成物によって形成されてなることを特徴とする積層型電子部品。

[図1]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/018468

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ C04B35/20

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ C04B35/20, 35/47

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2005
Kokai Jitsuyo Shinan Koho 1971-2005 Jitsuyo Shinan Toroku Koho 1996-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 10-17359 A (Taiyo Yuden Co., Ltd.), 20 January, 1998 (20.01.98), Abstract & US 5786978 A	1, 2
A	JP 2002-68829 A (Japan Fine Ceramics Center), 08 March, 2002 (08.03.02), Abstract (Family: none)	1, 2

Further documents are listed in the continuation of Box C.

See patent family annex.

- * Special categories of cited documents:
- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier application or patent but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search
14 March, 2005 (14.03.05)

Date of mailing of the international search report
05 April, 2005 (05.04.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.